

日本国特許庁
JAPAN PATENT OFFICE

JCP986 U.S. PRO
10/09/2004
03/04/02


別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 3月22日

出願番号
Application Number:

特願2001-083302

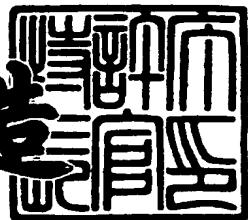
出願人
Applicant(s):

コニカ株式会社

2001年11月16日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3100990

5068

【書類名】 特許願

【整理番号】 DIJ02328

【提出日】 平成13年 3月22日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/00

【発明の名称】 クロック発生回路および画像形成装置

【請求項の数】 12

【発明者】

【住所又は居所】 東京都八王子市石川町2970番地 コニカ株式会社内

【氏名】 高木 幸一

【発明者】

【住所又は居所】 東京都八王子市石川町2970番地 コニカ株式会社内

【氏名】 森田 真次

【特許出願人】

【識別番号】 000001270

【氏名又は名称】 コニカ株式会社

【代理人】

【識別番号】 100085187

【弁理士】

【氏名又は名称】 井島 藤治

【選任した代理人】

【識別番号】 100090424

【弁理士】

【氏名又は名称】 鮫島 信重

【手数料の表示】

【予納台帳番号】 009542

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

特2001-083302

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9004575

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 クロック発生回路および画像形成装置

【特許請求の範囲】

【請求項1】 画像形成装置の書き込み部の発光素子駆動用のドットクロックを生成するクロック発生回路であって、

基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるディジタルディレイ式ドットクロック調整手段と、

書き込み部で使用される光学系手段で生じる走査光量ムラを補正するように、前記ディジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御してドットクロックのパルス幅を変更する制御手段と、を備えたことを特徴とするクロック発生回路。

【請求項2】 画像形成装置の書き込み部の発光素子駆動用のドットクロックを生成するクロック発生回路であって、

基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成するディレイチェーン部と、

端部の基準となるインデックス信号に同期した状態の複数の遅延クロック（同期遅延クロック）を前記ディレイチェーン部から選び出し、複数の同期遅延クロックから前記ディレイチェーン部の遅延段数を同期情報として出力する同期検出部と、

書き込み部で使用される光学系手段で生じる走査光量ムラに関する走査光量ムラ情報を保持するテーブルと、

前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブルからの走査光量ムラ情報をから、前記複数の遅延クロックの中からどの位相の遅延クロックを選択すべきかのセレクト信号を生成する同期切り替え部と、

前記複数の遅延クロックの中から前記セレクト信号に応じた遅延クロックを選択する信号選択部と、を備え、

複数の遅延クロックの選択を制御してドットクロックのパルス幅を変更するこ

とで走査光量ムラを補正する、
ことを特徴とするクロック発生回路。

【請求項3】 前記同期信号切り替え部は、
前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブル
からの走査光量ムラ情報から、演算を行ってセレクト信号を生成する、
ことを特徴とする請求項2記載のクロック発生回路。

【請求項4】 前記同期信号切り替え部は、
前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブル
からの走査光量ムラ情報から、テーブル変換を行ってセレクト信号を生成する、
ことを特徴とする請求項2記載のクロック発生回路。

【請求項5】 前記走査光量ムラは、光学系手段の透過率もしくは反射率の
差に基づいた光量の変化である、

ことを特徴とする請求項1乃至請求項4のいずれかに記載のクロック発生回路。

【請求項6】 前記各部を集積回路内のデジタル回路で構成する、
ことを特徴とする請求項1乃至請求項5のいずれかに記載のクロック発生回路。

【請求項7】 基準となる発振器からのクロックを細かく遅延させて複数の
遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、
生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させ
るデジタルディレイ式ドットクロック調整手段と、

書き込み部で使用される光学系手段で生じる走査光量ムラを補正するように、
前記デジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選
択を制御してドットクロックのパルス幅を変更する制御手段と、

前記ドットクロック調整手段からのドットクロックに基づいて発光素子を発光
させて画像形成を行う画像形成手段と、を備え、

複数の遅延クロックの選択を制御してドットクロックのパルス幅を変更するこ
とで走査光量ムラを補正する、
ことを特徴とする画像形成装置。

【請求項8】 基準となる発振器からのクロックを細かく遅延させて複数の
遅延クロックを生成しするディレイチェーン部と、

端部の基準となるインデックス信号に同期した状態の複数の遅延クロック（同期遅延クロック）を前記ディレイチェーン部から選び出し、複数の同期遅延クロックから前記ディレイチェーン部の遅延段数を同期情報として出力する同期検出部と、

書き込み部で使用される光学系手段で生じる走査光量ムラに関する走査光量ムラ情報を保持するテーブルと、

前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブルからの走査光量ムラ情報から、前記複数の遅延クロックの中からどの位相の遅延クロックを選択すべきかのセレクト信号を生成する同期切り替え部と、

前記複数の遅延クロックの中から前記セレクト信号に応じた遅延クロックを選択する信号選択部と、

前記信号選択部からのクロックに基づいて画像形成を行う画像形成手段と、を備え、

複数の遅延クロックの選択を制御してドットクロックのパルス幅を変更することで走査光量ムラを補正する、

ことを特徴とする画像形成装置。

【請求項9】 前記同期信号切り替え部は、

前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブルからの走査光量ムラ情報から、演算を行ってセレクト信号を生成する、
ことを特徴とする請求項8記載の画像形成装置。

【請求項10】 前記同期信号切り替え部は、

前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブルからの走査光量ムラ情報から、テーブル変換を行ってセレクト信号を生成する、
ことを特徴とする請求項8記載の画像形成装置。

【請求項11】 前記走査光量ムラは、光学系手段の透過率もしくは反射率の差に基づいた光量の変化である、

ことを特徴とする請求項7乃至請求項10のいずれかに記載の画像形成装置。

【請求項12】 前記各部を集積回路内のディジタル回路で構成する、

ことを特徴とする請求項7乃至請求項11のいずれかに記載の画像形成装置。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明はポリゴンミラーを書き込み系に使用する画像形成装置とクロック発生回路に関し、さらに詳しくは、ポリゴンミラーで走査を行う際の光学系手段の透過率もしくは反射率の画質への影響を低減することが可能な画像形成装置とクロック発生回路に関する。

【0002】

【従来の技術】

画像形成装置では、画像データに応じて変調したレーザビームを主走査方向に走査し、副走査方向に回転する像担持体上に画像を形成している。この場合に、ドットクロックと呼ばれる基準信号を基準にして、レーザビームを画像データで変調している。

【0003】

したがって、所定のドットクロック数に応じて、像担持体上に形成される主走査方向における画像の長さが常に一定になるようなドットクロックが生じる必要がある。

【0004】

また、近年では記録紙上にカラー画像を得るために像担持体近傍に帯電、露光、現像の各手段を有するユニットを複数備えて、像担持体の1回転内に像担持体上にカラートナー像を形成し、一括して記録紙上に転写を行うカラー画像形成装置が開発されている。また、中間転写体近傍に複数の像担持体を有し、各像担持体の周囲に帯電、露光、現像、転写手段を備え、各像担持体上に形成されたトナー像を中間転写体に順次転写して行き、中間転写体に担持されたカラートナー像を一括して転写紙上に転写を行うカラー画像形成装置も開発されている。

【0005】

なお、このようにレーザビームを用いる画像形成装置の光学書き込み部490の構成は、図8のようになっている。すなわち、回路部400で生成されたレーザ駆動用信号に基づいて、レーザダイオード(LD)470が発光してレーザビ

ームを発生する。

【0006】

そして、LD470からのレーザビームは、コリメータレンズ491、シリンドリカルレンズ492を通った後にポリゴンミラー493で走査される。

ポリゴンミラー493で走査されたレーザビームは、fθレンズ494により等速で走査するように調整される。さらに、シリンドリカルレンズ495を通過して像担持体1に書き込まれる。なお、ポリゴンミラー493で走査されたレーザビームの一部はインデックスセンサ412に導かれて、タイミングが検出される。

【0007】

【発明が解決しようとする課題】

〈第1の課題〉

図9に示すように、ポリゴンミラー493で走査されたレーザビームは、fθレンズ494やシリンドリカルレンズ465や防塵フィルタ496などの各光学系手段を通過して像担持体1に導かれる。

【0008】

この走査の際に、走査中央付近のレーザビームは各光学系手段に対してほぼ垂直に低入射角で入射するので、反射率は低く透過率が高い状態になる。一方、走査端部付近のレーザビームは光学系手段に対して走査端部付近のレーザビームは光学系手段に対して高入射角で入射するので、反射率は高く透過率が低い状態になる。なお、図9では、反射光の様子を矢印の長さで模式的に示している。

【0009】

このようにして発生した光学系手段の透過率もしくは反射率の差に基づいた光量の変化が、像担持体1上で走査光量ムラ（シェーディング）として画質の劣化を招くことになる。一般的には端部で光量が低下する現象が現れやすくなるが、光学系手段に含まれる各種レンズや各種フィルタの形状や配置によって特性は異なってくる（図10参照）。

【0010】

また、防塵フィルタ496の取り付け方によっては、主走査方向の一方の端部

のみの光量が低下するといった現象も発生しうる。図9の例では、主走査位置の右側で防塵フィルタ496での反射が大きくなり、走査光量ムラが大きくなる傾向になる。このため、防塵フィルタ496の取り付けも、機械的に最適な取り付けではなく、走査光量ムラによって制限されることになっていた。

【0011】

また、以上の走査光量ムラの発生をなるべく抑えるため、高価なマルチコーティングを各光学部材に施すとなると、光学部材のコストが上昇してしまうという問題もあった。

【0012】

〈第2の課題〉

以上の第1の課題に関して、PWMによって多値のレーザ駆動用パルスを生成する画像形成装置において、シェーディングによって低下する光量にあわせて、光量が低下しない部分のPWM値を低下させることで、シェーディングが発生しないように対策することも考えられる。たとえば、端部でシェーディングによって15%の光量低下が生じている場合、全く光量低下が生じない部分のPWM値を15%低下させることで、最終的な全体の光量を一定にすることができる。

【0013】

しかし、このような対策をとると、最大光量側のダイナミックレンジが制限されてしまう。以上の例では、0~85%までのダイナミックレンジしか使用できないことになる。すなわち、シェーディングは抑えられるものの階調特性に悪影響が生じるといった新たな問題が生じる。

【0014】

本発明は、上記の課題を解決するためになされたものであって、その目的は、ポリゴンミラーを書き系に使用する画像形成装置とそのクロック発生回路において、走査光量ムラによる画質への影響を低減することが可能なクロック発生回路および画像形成装置を提供することにある。

【0015】

【課題を解決するための手段】

すなわち、課題を解決する手段としての本発明は以下に説明するようなもので

ある。

【0016】

(1) 請求項1記載の発明は、画像形成装置の書き込み部の発光素子駆動用のドットクロックを生成するクロック発生回路であって、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるディジタルディレイ式ドットクロック調整手段と、書き込み部で使用される光学系手段で生じる走査光量ムラを補正するように、前記ディジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御してドットクロックのパルス幅を変更する制御手段と、を備えたことを特徴とするクロック発生回路である。

【0017】

また、請求項7記載の発明は、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を変更することによって、生成するドットクロックの立ち上がりもしくは立ち下がりタイミングを変化させるディジタルディレイ式ドットクロック調整手段と、書き込み部で使用される光学系手段で生じる走査光量ムラを補正するように、前記ディジタルディレイ式ドットクロック調整手段での複数の遅延クロックの選択を制御してドットクロックのパルス幅を変更する制御手段と、前記ドットクロック調整手段からのドットクロックに基づいて発光素子を発光させて画像形成を行う画像形成手段と、を備え、複数の遅延クロックの選択を制御してドットクロックのパルス幅を変更することで走査光量ムラを補正する、ことを特徴とする画像形成装置である。

【0018】

これらの発明では、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を走査光量ムラに応じて変更することによって、クロックの立ち上がりもしくは立ち下がりのタイミングをわずかに変化させて、発光素子駆動用パルスのパルス幅を変化させることより、感光体面上での走査光量ムラをうち消すようにしている。

【0019】

この結果、簡易な回路構成で、ポリゴンミラーを書き込み系に使用する画像形成装置とそのクロック発生回路において、走査光量ムラによる画質への影響を低減することが可能になる。

【0020】

(2) 請求項2記載の発明は、画像形成装置の書き込み部の発光素子駆動用のドットクロックを生成するクロック発生回路であって、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成しするディレイチェーン部と、端部の基準となるインデックス信号に同期した状態の複数の遅延クロック（同期遅延クロック）を前記ディレイチェーン部から選び出し、複数の同期遅延クロックから前記ディレイチェーン部の遅延段数を同期情報として出力する同期検出部と、書き込み部で使用される光学系手段で生じる走査光量ムラに関する走査光量ムラ情報を保持するテーブルと、前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブルからの走査光量ムラ情報から、前記複数の遅延クロックの中からどの位相の遅延クロックを選択すべきかのセレクト信号を生成する同期切り替え部と、前記複数の遅延クロックの中から前記セレクト信号に応じた遅延クロックを選択する信号選択部と、を備え、複数の遅延クロックの選択を制御してドットクロックのパルス幅を変更することで走査光量ムラを補正する、ことを特徴とするクロック発生回路である。

【0021】

また、請求項8記載の発明は、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成しするディレイチェーン部と、端部の基準となるインデックス信号に同期した状態の複数の遅延クロック（同期遅延クロック）を前記ディレイチェーン部から選び出し、複数の同期遅延クロックから前記ディレイチェーン部の遅延段数を同期情報として出力する同期検出部と、書き込み部で使用される光学系手段で生じる走査光量ムラに関する走査光量ムラ情報を保持するテーブルと、前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブルからの走査光量ムラ情報から、前記複数の遅延クロックの中からどの位相の遅延クロックを選択すべきかのセレクト信号を生成する同期切り替

え部と、前記複数の遅延クロックの中から前記セレクト信号に応じた遅延クロックを選択する信号選択部と、前記信号選択部からのクロックに基づいて画像形成を行う画像形成手段と、を備え、複数の遅延クロックの選択を制御してドットクロックのパルス幅を変更することで走査光量ムラを補正する、ことを特徴とする画像形成装置である。

【0022】

これらの発明では、基準となる発振器からのクロックをディレイチェーン部で細かく遅延させて複数の遅延クロックを生成し、信号選択部における複数の遅延クロックの選択を、同期検出部からの同期情報とテーブルに保持された走査光量ムラ情報とに基づいた同期切り替え部からのセレクト信号によって変更することによって、クロックの立ち上がりもしくは立ち下がりのタイミングをわずかに変化させて、発光素子駆動用パルスのパルス幅を変化させることより、感光体面上での走査光量ムラをうち消すようにしている。

【0023】

この結果、簡易な回路構成で、ポリゴンミラーを書き系に使用する画像形成装置とそのクロック発生回路において、走査光量ムラによる画質への影響を低減することが可能になる。

【0024】

(3) 請求項3記載の発明は、前記同期信号切り替え部は、前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブルからの走査光量ムラ情報から、演算を行ってセレクト信号を生成する、ことを特徴とする請求項2記載のクロック発生回路である。

【0025】

また、請求項9記載の発明は、前記同期信号切り替え部は、前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブルからの走査光量ムラ情報から、演算を行ってセレクト信号を生成する、ことを特徴とする請求項8記載の画像形成装置である。

【0026】

これらの発明では、基準となる発振器からのクロックを細かく遅延させて複数

の遅延クロックを生成し、該複数の遅延クロックの選択を走査光量ムラを参照して演算した結果に応じて変更することによって、クロックの立ち上がりもしくは立ち下がりのタイミングをわずかに変化させて、発光素子駆動用パルスのパルス幅を変化させることより、感光体面上での走査光量ムラをうち消すようにしている。

【0027】

この結果、簡易な回路構成で、ポリゴンミラーを書き系に使用する画像形成装置とそのクロック発生回路において、走査光量ムラによる画質への影響を低減することが可能になる。

【0028】

(4) 請求項4記載の発明は、前記同期信号切り替え部は、前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブルからの走査光量ムラ情報から、テーブル変換を行ってセレクト信号を生成する、ことを特徴とする請求項2記載のクロック発生回路である。

【0029】

また、請求項10記載の発明は、前記同期信号切り替え部は、前記同期検出部からの前記同期遅延クロックと前記同期情報および前記テーブルからの走査光量ムラ情報から、テーブル変換を行ってセレクト信号を生成する、ことを特徴とする請求項8記載の画像形成装置である。

【0030】

これらの発明では、基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成し、該複数の遅延クロックの選択を走査光量ムラを参照してルックアップテーブル等を用いたテーブル変換した結果に応じて変更することによって、クロックの立ち上がりもしくは立ち下がりのタイミングをわずかに変化させて、発光素子駆動用パルスのパルス幅を変化させることより、感光体面上での走査光量ムラをうち消すようにしている。

【0031】

この結果、簡易な回路構成で、ポリゴンミラーを書き系に使用する画像形成装置とそのクロック発生回路において、走査光量ムラによる画質への影響を低減す

ることが可能になる。

【0032】

(5) 請求項5記載の発明は、前記走査光量ムラは、光学系手段の透過率もしくは反射率の差に基づいた光量の変化である、ことを特徴とする請求項1乃至請求項4のいずれかに記載のクロック発生回路である。

【0033】

また、請求項11記載の発明は、前記走査光量ムラは、光学系手段の透過率もしくは反射率の差に基づいた光量の変化である、ことを特徴とする請求項7乃至請求項10のいずれかに記載の画像形成装置である。

【0034】

これらの発明では、簡易な回路構成で、ポリゴンミラーを書き系に使用する画像形成装置とそのクロック発生回路において、走査光量ムラ（光学系手段の透過率もしくは反射率の差に基づいた光量の変化）による画質への影響を低減することが可能になる。

【0035】

(6) 請求項6記載の発明は、前記各部を集積回路内のデジタル回路で構成する、ことを特徴とする請求項1乃至請求項5のいずれかに記載のクロック発生回路である。

【0036】

また、請求項12記載の発明は、前記各部を集積回路内のデジタル回路で構成する、ことを特徴とする請求項7乃至請求項11のいずれかに記載の画像形成装置である。

【0037】

これらの発明では、アナログ回路を用いないデジタル回路による簡易な回路構成で、ポリゴンミラーを書き系に使用する画像形成装置とそのクロック発生回路において、各種の走査光量ムラによる画質への影響を低減することが可能になる。

【0038】

【発明の実施の形態】

以下、図面を参照して、本発明の画像形成装置の実施の形態例を詳細に説明する。なお、クロック発生回路を用いた画像形成装置に関し、先に画像形成装置の全体を説明しておく。

【0039】

〈画像形成装置の機械的全体構成〉

ここで、本発明の一実施の形態例のクロック発生回路と画像形成装置を適用することが可能なカラー画像形成装置の機械的な構成図である図2を用いて、カラー画像形成装置の全体構成を説明する。

【0040】

なお、本実施の形態例の画像形成装置は、多色の画像形成装置であり、ここでは、Y(イエロー), M(マゼンタ), C(シアン), K(黒)の4色のトナーを使用すると共に、ドラム形状ではなくベルト状の像担持体を使用するカラー画像形成装置を例にする。

【0041】

最初に、上ローラ3と下ローラ5と横ローラ7とに巻回された無端ベルト状の像担持体(感光体)1は、上ローラ3と下ローラ5とにより上下方向に張架され、図中の矢印I方向に駆動される。さらに、像担持体1が下から上へ移動する面には、像担持体1によって形成された閉空間方向に像担持体1を押圧し、像担持体1を閉空間方向に案内するガイド手段としての押圧ローラ9が設けられている。

【0042】

像担持体1が下から上へ移動する面の上部には、像担持体1に摺接し、像担持体1上の現像剤を除去するクリーニング手段11が設けられている。クリーニング手段11の下方には、クリーニング手段11によって除去された現像剤を捕集する捕集手段としての回収ボックス21が像担持体1に沿って設けられている。

【0043】

次に、像担持体1に対して潜像を形成する潜像形成手段の説明を行なう。本実施の形態例の画像形成装置は、4色のカラー画像形成装置であるので、各色に応じて四つの潜像形成手段を有している。すなわち、像担持体1に対してレーザ光を用いてY(イエロー)用の潜像を形成するY光学書き込み部25と、像担持体1

に対してレーザ光を用いてM(マゼンタ)用の潜像を形成するM光学書き込み部27と、像担持体1に対してレーザ光を用いてC(シアン)用の潜像を形成するC光学書き込み部31と、像担持体1に対してレーザ光を用いてK(黒)用の潜像を形成するK光学書き込み部である。

【0044】

次に、現像器の説明を行なう。像担持体1上に形成された各色の静電潜像を現像する四つの現像器が設けられている。すなわち、Y光学書き込み部25で形成された潜像を現像するY現像器42と、M光学書き込み部27で形成された潜像を現像するM現像器43と、C光学書き込み部29で形成された潜像を現像するC現像器45と、K光学書き込み部31で形成された潜像を現像するK現像器47である。

【0045】

また、各色の現像器42,43,45,47に対応して、像担持体1に電荷を付与する帶電手段の帶電極が設けられている。すなわち、Y用の帶電極61と、M用の帶電極63と、C用の帶電極65と、K用の帶電極67である。さらに、本実施の形態例の各色の帶電手段は、像担持体1上の帶電電位を制御するグリッド71,73,75,77を有している。

【0046】

81は給紙部で、転写材としての転写紙Pが収納されたカセット83が設けられている。このカセット83の転写紙Pは、搬送ローラ85により搬出され、搬送ローラ対87,レジストローラ88により挟持搬送され、転写手段91に給送される。転写手段91には、像担持体1と異なる極性の電位に保たれた転写ローラ92が設けられ、この転写ローラ92は横ローラ7と協働して像担持体1を挟むように設けられている。

【0047】

100は熱ローラ対101の挿着により、転写紙Pに熱,圧力を加え、トナーを転写紙Pに融着させる定着部、110は熱定着を終えた転写紙Pを排紙トレイ111まで挿持搬送する搬送ローラ対である。また、120は装置外に設けられた給紙部から搬送された別サイズの転写紙Pが通る給紙路である。

【0048】

次に、上記構成の画像形成装置の全体の動作を説明する。像担持体1が矢印I方向に駆動されると、帯電極61及びグリッド71からなるY用の帯電手段により、像担持体1上は所定の帯電電位となる。次に、Y光学書き込み部25により、像担持体1に静電潜像が形成される。そして、Y現像器42の現像スリーブ55に担持された現像剤中のトナーがクーロン力により像担持体1上に移動し、像担持体1上にトナー像が形成される。これと同様な動作を残りの色、すなわち、M、C、Kについて行い、像担持体1上のY、M、C、Kのトナー像を形成する。

【0049】

一方、給紙部81からは、転写紙Pが、搬送ローラ85、搬送ローラ対87によって転写手段91に向け給送される。給送された転写紙Pは、レジストローラ88により、像担持体1上のトナー画像とタイミング調整した上で、同期して転写手段91に給送され、転写手段91の転写ローラ92により帯電され、像担持体1上の現像剤像が転写紙Pに転写される。次に、転写紙Pは、定着部100で加熱、加圧され、トナーが転写紙Pに融着され、搬送ローラ対110により排紙トレイ111上に排出される。また、転写が終了した像担持体1上の余剰のトナーは、クリーニング手段11のブレード17により除去され、回収ボックス21内に貯留される。

【0050】

〈画像形成装置の詳細構成〉

以下、本発明の画像形成装置の実施の形態例を詳細に説明する。

図1は上述したY光学書き込み部25、M光学書き込み部27、C光学書き込み部29、K光学書き込み部31、のそれぞれに内蔵されるクロック発生回路の電気的な回路構成を示すブロック図である。

【0051】

なお、この図1では、クロック発生回路（回路部400）を一つのみ示すが、4色のカラー画像形成装置の場合には、実際には同等なものがY・M・C・Kのそれぞれに存在しているものとする。また、モノクロの画像形成装置であれば、

1つ存在する。

【0052】

この図1において、回路部400は、各種制御を行う制御手段としてのCPU401と、走査光量ムラのデータを保持するテーブル402と、本実施の形態例の特徴となるドットクロック調整部410と、画像処理を行う画像処理部420と、画像処理結果に基づいてドットクロックに従ってLD駆動信号を生成するLD駆動部430とを有している。

【0053】

また、本実施の形態例のクロック発生回路は、制御手段であるCPU401と、テーブル402と、ドットクロック調整部410とに大別することができる。以下、ドットクロック調整部410の構成と動作とを順に説明する。

【0054】

ドットクロック調整部410は、請求項における「ディジタルディレイ式ドットクロック調整手段」であり、以下の(A)、(B)、(C)、(D)により構成されている。

【0055】

(A) 遅延信号生成：

ディレイチェーン部413は入力信号（基準クロック発生部411からの基準クロック）を遅延させて位相が少しずつ異なる複数の遅延信号（遅延信号群：図1①）を得るためのディレイ素子群である。

【0056】

ここで、ディレイチェーン部413は、位相が少しずつ異なる遅延信号について、基準クロックの2周期分にわたって生成できる段数になるようにチェーン状にディレイ素子が継続接続されていることが好ましい。

【0057】

なお、基準クロック発生部411は、各色のクロック発生回路にそれぞれ内蔵されていてもよいが、単一の基準クロック発生部411から各色それぞれのクロック発生回路に基準クロックを分配してもよい。また、インデックスセンサ412は、図8に示したように、レーザビームの走査における基準位置を検出するも

のである。

【0058】

(B) 同期検出:

同期検出部414はインデックスセンサ412での検出信号を受け、遅延信号群(図1①)の中でインデックス信号に同期している遅延信号の段数(同期ポイント)を検出する検出手段であり、同期ポイント情報(図1②)を出力する。ここで、同期検出部414は、遅延信号群(図1①)の中で、最初にインデックス信号に同期している第1同期ポイント情報SP1と、2番目にインデックス信号に同期している第2同期ポイント情報SP2と、を出力できることが好ましい。ディレイチェーン部413からの複数の遅延信号は、温度変化などの影響によって遅延時間に変動が生じている可能性があるため、このようにして、所定の変動しない時間(インデックス信号から次のインデックス信号までの間)に、どれだけの遅延信号が含まれているかを検出しておく。

【0059】

(C) 補正量算出:

同期切り替え部415は、同期検出部414からの同期ポイント情報(図1②)と、CPU401からの周波数ずれ情報(図1③)とに基づいて、同期補正量を求め、遅延信号群(図1①)の中からどの位相の遅延信号を選択すべきかのセレクト信号(図1④)を出力するものである。なお、周波数ずれ情報については、後述する。

【0060】

(D) パルス選択、ドットクロック出力:

セレクタ416は同期切り替え部415からのセレクト信号(図1④)を受け、遅延信号群(図1①)の中から対応する位相の遅延信号を選択し、ドットクロック(図1⑤)として出力するものである。

【0061】

このようにして、ドットクロックの周期をわずかに増加もしくは減少させることで、所定時間内に発生するパルス数を所定数にした信号を生成するようにしている。すなわち、クロック周波数を微調整して合わせるのではなく、クロック周

波数自体は変えずに、位相（ドットクロックのパルスの位置もしくはタイミング）を細かく徐々に変えた遅延信号を所定時間内に順次選択することで、所定時間内のパルス数を所定数に合わせるようにしている。

【0062】

〈ドットクロック調整のためのずれ検出の原理〉

ここで、図3を参照してずれ検出の様子について簡単に説明する。光学書き込み部25, 27, 29, 31により所定のパターン（ここでは、「フ」字状のパターン）の画像を、像担持体上の主走査方向末端側に形成する。像担持体上には実線で示すパターンが形成されているが、本来は破線で示すパターンが形成される予定であったとする。

【0063】

ここでは、光学書き込み部や各光学系の収差などにより、主走査方向に d_x のずれが発生していることになる。この場合に、像担持体を副走査方向に移動させつつ、パターンを読み取れる位置に配置された色ずれ検知センサ210で読み取りを行うことで、「フ」字状のパターンの横線から斜線までの距離 Y' には d_y のずれが含まれることになる。

【0064】

横線と斜線とがなす角度を θ とすると、 $d_x = d_y / \tan \theta$ で求められる。さらに、像担持体の副走査方向の移動速度と、横線と斜線の読み取り時刻の差により、 d_y を求めることもできる。

【0065】

したがって、Y, M, C, Kの各色について、このような所定のパターンの形成と読み取りとを、副走査方向には同じ位置であって主走査方向始端側と主走査方向末端側とで行うことで、C P U 4 0 1 が主走査方向の画像の伸び縮みに関するずれ状態（周波数ずれ情報）を検出することが可能になる。

【0066】

なお、図3では1つのパターンのみを示しているが、実際には2つ形成するようにする。

また、副走査方向には同じ位置であって、主走査方向始端側と主走査方向末端

側と同じ形状の「フ」字状のパターンを形成し、その間隔を測定することによって、同様な主走査方向の画像の伸び縮みに関するずれ状態（周波数ずれ情報）を検出することができる。

【0067】

このようにしてCPU401が以上のような検出処理を行って周波数ずれ情報（図1③）として光学書き込み部に供給する。

なお、同様にして、CPU401は、主走査方向始端側で「フ」字状パターンの検出を実行することにより、主走査方向の画像の開始位置に関する画像先端ずれ情報を求め、この画像先端ずれ情報を光学書き込み部に供給することも可能である。

【0068】

〈画像形成装置の動作〉

つぎに、この実施の形態例の画像形成装置の動作の説明を、動作（1）と動作（2）とに2段階に分けて行う。

【0069】

〈デジタルディレイ式ドットクロック調整の動作（1）〉

まず、図4のタイムチャートを参照し、ある特定の1色について、ずれ情報を参照して、基準クロックのパルスをある時間毎にシフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるように調整する動作について、ドットクロックを発生するところまでを説明する。

【0070】

前述した所定パターンの形成と読み取りとによって検出されたずれERを示すずれ情報、基準クロックの周波数から求められるクロック周期TCのクロック周期情報、主走査方向に形成すべき画素数PHを示す1ライン画素数情報が、CPU401から同期切り替え部415内の補正量演算手段に与えられる。また、同期検出部414からの第1同期ポイント情報SP1と第2同期ポイント情報SP2とから、同期段数（基準クロック1周期分の遅延が得られる段数）NSを求めること。

【0071】

ここで同期切り替え部415内の補正量演算手段は、以下の式に基づいて、補正量に対応する補正カウント値（カウントロードデータ）CCを求める。

$$CC = PH \times (NS/TC) / ER \quad \cdots ①$$

この補正カウント値CCは、同期切り替え部415内の切替カウント手段がカウントダウンしてセレクト信号および下位セレクト信号の切替を行うためのものである。したがって、補正量が大きいほど補正カウント値CCは小さくなる。

【0072】

また、同期検出部414はインデックスセンサ412からのインデックス信号の立ち上がりを参照して、このインデックス信号の立ち上がりに同期した遅延信号が得られるディレイチェーン部413の段数を同期ポイント情報として求める。

【0073】

ここでは、第1同期ポイント情報SP1として20が、第2同期ポイント情報SP2として50が得られたとする。なお、この場合には、上述した同期段数NSは30になる。

【0074】

ここで、光学書き込み部のレーザビームの走査により、インデックスセンサがレーザビームを検出したタイミングでインデックス信号を発生する（図4（a）①）。この後、水平方向の有効領域を示すH_VALIDがアクティブになる。

【0075】

そして、同期切り替え部415内の切替カウント手段は前記補正カウント値CCを基準クロックに従ってカウントダウンすることを繰り返し続ける。そして、カウントダウンによりカウント値が0になる毎に同期切り替え部415内のセレクト信号演算手段443にカウントデータを割り込みとして与える（図4（d）～（f））。

【0076】

また、CPU401はズレ方向情報を同期切り替え部415内のセレクト信号演算手段に与えており、主走査方向に伸びたズレに対しては縮める補正を行うた

めの「-補正」，主走査方向に縮んだずれに対しては伸ばす補正を行うための「+補正」の情報を与える。ここでは、「-補正」の場合を例にする。

【0077】

前述した所定パターンの形成とその測定により、ずれ情報ERおよびずれ方向情報が求められているとする。ここでは、 $ER = 6\text{ n s}$ ，ずれ方向情報=「-補正」であり、すなわち、画像が伸びていたために縮ませるように補正することを示していたと仮定する。

【0078】

まず、同期検出部414がインデックスセンサ（図示せず）からのインデックス信号の立ち上がりを参照して、第1同期ポイント情報SP1及び第2同期ポイント情報SP2を求める。

【0079】

前記第1同期ポイント情報SP1はインデックス信号の立ち上がりに同期したディレイチェーン部413のディレイ素子の段数を示しており、前記第2同期ポイント情報SP2は前記第1同期ポイント情報SP1から基準クロック1周期分遅れたディレイチェーン部413のディレイ素子の段数を示している。

【0080】

ここでは、 $SP1 = 20$ ， $SP2 = 50$ であったとする。なお、この様子を図5に示す。ここでは、20段目のDL20（図5（c））と、このDL20からクロック1周期分遅れた50段目のDL50（図5（m））とが、インデックス信号の立ち上がり（図5（a））に同期している状態を示している。

【0081】

つぎに、前記第1同期ポイント情報SP1と第2同期ポイント情報SP2から、同期段数NSを求める。ここで、前記同期段数NSは、基準クロック1周期分の時間が何段のディレイ素子の遅延時間に相当するかを示している。本実施の形態例では、同期段数 $NS = SP2 - SP1$ より、 $NS = 30$ となる。

【0082】

また、1段あたりのディレイ素子の遅延時間DTを、前記NS及び基準クロックの周期から求める。たとえば、基準クロック周期TCが 30 n s であった場合

は $NS = 30$ であるので、 $DT = TC/NS$ より $DT = 1 \text{ n s}$ となる。1段あたりのディレイ素子の遅延時間は、集積回路の温度状態や集積回路に供給される電源電圧の変動などに起因して変動するので、ある場合には 1.5 n s になったり、 0.5 n s になったりすることが考えられる。しかしながら、基準クロック周期 TC は変化しないため、同期段数 NS を求めることにより、測定時の1段あたりのディレイ素子の遅延時間を正確に求めることができる。

【0083】

そして、適正な画像信号を得るために最終的にディレイ素子何段分ずらすかを示す補正カウント値 CC を、ずれ情報 ER 、ずれ方向情報及び遅延時間 DT から求める。ここでは、 $ER = 6 \text{ n s}$ 、ずれ方向情報 = 「-補正」、 $DT = 1 \text{ n s}$ より、補正カウント値 $CC = -6$ となる。

【0084】

以上の補正カウント値 CC より、適正な画像信号を得るために最終的にディレイ素子の段数を6段分進めればよい。すなわち、インデックス信号の立ち上がりに同期して最初は50段目のディレイ素子からの信号を採用し、その後セレクト信号に同期して1走査ライン中において、49段目、48段目、47段目、46段目、45段目の信号に順次置き換えて採用していき、最終的には44段目からの信号を採用するようにすればよい。

【0085】

なお、補正量が同期段数より大きい場合には、セレクト信号を循環させるようにすればよい。上述した例で、 $SP1 = 20$ 、 $SP2 = 50$ 、同期段数 30 の場合の「-補正」では、セレクト信号が $50, 49, \dots, 21, 20$ 、となった時点で、セレクト信号の 20 とセレクト信号の 50 とは等しい位相であるので、次は $49, 48, \dots$ とすればよい。すなわち、 $50, 49, \dots, 21, 20$ ($= 50$)、 $49, 48 \dots$ 、となる。また、「+補正」においても同様にセレクト信号を循環させるようにすればよい。

【0086】

また、 $50, 47, 43, \dots, 22, 19$ と3段ずつ「-補正」する場合には、 $SP1 = 20$ を超えることになるが、 19 の次には、 $50 - (20 - 19) -$

$3 = 46$ とする。すなわち、同期ポイントを超えた分と 1 つの補正量とを加えた状態にして循環させることで、問題なく循環させることができる。

【0087】

このようなセレクト信号を受けたセレクタ 416 では、ディレイチェーン部 413 からの遅延信号群（図 1①）の中から、50 段目、49 段目、48 段目、47 段目、…のように選択を行って、ドットクロックとして出力する（図 4 (g)）。

【0088】

この場合には遅延信号群（図 1①）の中から、50 段目、49 段目、48 段目、47 段目、…と選択することで、最初はインデックス信号に同期した遅延信号が得られ、徐々に遅延の少ない（位相が進んだ）遅延信号が得られる。この結果、「-補正」が実現され、主走査方向に伸びているずれを縮めるような補正が実行される。

【0089】

また、「+補正」の場合には、第 1 同期ポイント情報 S P 1 を初期値として、遅延信号群（図 1①）の中から、20 段目、21 段目、22 段目、23 段目、…と選択することで、最初はインデックス信号に同期した遅延信号が得られ、徐々に遅延の少ない（位相が遅れた）遅延信号が得られる。この結果、「+補正」が実現され、主走査方向に縮んでいるずれを伸ばすような補正が実行される。

【0090】

すなわち、ずれ情報を参照して、基準クロックのパルスをある時間毎にシフトさせ、パルス数が所定数になるようにすると共に、この所定数のパルスを発生させる時間が所定時間になるような調整が行える。

【0091】

そして、以上の補正は、ずれ情報 E R (周波数ずれ情報) に基づいた制御がなされているため、主走査方向の長さに関しては正確に調整される。

なお、以上の主走査方向の伸び縮みの補正（すなわち主走査倍率補正）の様子を模式的に示すと、図 6 のようになる。ここで、基準クロックと、基準クロックを遅延させた遅延信号（1 遅延～9 遅延）と、ドットクロックとを示している。

【0092】

この図6に示した場合、基準クロック4周期の間に1遅延、2遅延、3遅延、4遅延、5遅延、…と選択することで、4周期で3.5ドットクロックになる。すなわち、 $3.5/4 = 87.5\%$ であり、擬似的に周波数が低くなる（パルス幅が広がる）ように制御される。なお、他の選択の仕方を実行しても同様の結果が得られる。

【0093】

また、この図6の場合では8遅延が基準クロックと位相が一致しているため、基準クロック4周期の間に8遅延、7遅延、6遅延、5遅延、4遅延…と選択することで、4周期で4.5ドットクロックになる（図示せず）。すなわち、 $4.5/4 = 112.5\%$ であり、擬似的に周波数が高くなるように制御される。なお、他の選択の仕方を実行しても同様の結果が得られる。

【0094】

〈デジタルディレイ式ドットクロック調整の動作（2）〉

上述したように、光学系手段に含まれる各種レンズや各種フィルタの形状や配置によって生じる各光学部材の透過率もしくは反射率の差に基づいた光量の変化が、像担持体1上で走査光量ムラ（シェーディング）として画質の劣化を招くことになる。

【0095】

そこで、CPU401はテーブル402に格納されている走査光量ムラのデータを読み出し、書き込み部で使用される光学系手段で生じる走査光量ムラを補正する方向に、光量の低下する部分では光量を増すように、前記デジタルディレイ式ドットクロック調整部410での複数の遅延クロックの選択を制御する。

【0096】

なお、走査光量ムラ（図7（a））は設計段階あるいは製造段階で特性を求めることがないので、その光量低下をうち消すための発光量補正值のデータ（図7（b））を算出して、テーブル402に予め格納しておく。

【0097】

すなわち、走査光量ムラをうち消す方向に、ドットクロックのパルス幅（発光

素子駆動用パルスのパルス幅) 位置を変化させるように、複数の遅延信号の選択を制御する。このために、CPU401は同期切り替え部415に、走査光量ムラ情報を与える(図1③)。すなわち、光量低下が生じる位置で、発光素子駆動用パルスのパルス幅を広げて光量を増加させることにより、感光体面上での走査光量ムラをうち消すようとする。

【0098】

たとえば、走査光量ムラにより光量が低下している主走査位置で、テーブル402の発光量補正值に従って、図6に示したようにパルス幅を広げることで光量低下を補う。図6に示した具体例は、4周期で3.5クロックとしており、基準クロックと比較すると14%の光量増加の状態になる。なお、実際には、光量低下を補うように、徐々にパルス幅を広げていくようとする。

【0099】

この結果、簡易な回路構成で、ポリゴンミラーを書き込み系に使用する画像形成装置とそのクロック発生回路において、走査光量ムラによる画質への影響を低減することが可能になる(図7(c))。なお、光量を増加させるためにパルス幅を広げることにより、主走査長も若干伸びることになるが、光量低下の部分でのみパルス幅を広げているので、全体からみれば大きな誤差は生じない。

【0100】

これにより、防塵フィルタの取り付け方に関しても、走査光量ムラの発生を気にせず、機械的に最適な取り付け角度を選択することができるようになる。また、走査光量ムラの発生を抑えるための高価なマルチコーティングを各光学部材に施すことを省略することも可能になる。さらに、PWMの調整によらず走査光量ムラを抑えているため、画像形成のダイナミックレンジを低下させることもなくなる。

【0101】

なお、CPU401は以上の走査光量ムラをテーブル402のデータを参照して求める際に、ソフトウェアやハードウェアによる演算により求めるようとする。また、CPU401での演算の代わりに、RAMなどのメモリ(図示せず)を設けて、ルックアップテーブル形式のテーブル変換による手法を用いるようにし

てもよい。

【0102】

なお、テーブル402には、画像形成装置の出荷直前の工場調整時に走査光量ムラのデータが格納されることが望ましい。なお、それ以外に、所定期間あるいは所定コピー数使用後に、CPU401の制御により、画像形成装置が自動的にテストパターンの画像を形成して走査光量ムラを読み取って補正用のデータ（たとえば、数式）を作成して格納するようにしてもよい。なお、このような一定期間毎の自動的な補正データの作成は、ウォームアップ時あるいはコピー開始前に実行することが望ましい。

【0103】

また、この実施の形態例では、アナログ回路を用いないデジタル回路による簡易な回路構成で、ポリゴンミラーを書き系に使用する画像形成装置とそのクロック発生回路において、各種の走査光量ムラによる画質への影響を低減することが可能になる。

【0104】

【発明の効果】

以上詳細に説明したように、本発明では、以下のような効果が得られる。

これらの発明では、基準となる発振器からのクロックをディレイチェーン部で細かく遅延させて複数の遅延クロックを生成し、信号選択部における複数の遅延クロックの選択を、同期検出部からの同期情報とテーブルに保持された走査光量ムラ情報に基づいた同期切り替え部からのセレクト信号によって変更することによって、クロックの立ち上がりもしくは立ち下がりのタイミングをわずかに変化させて、発光素子駆動用パルスのパルス幅を変化させることより、感光体面上での走査光量ムラ（シェーディング）をうち消すようにしている。

【0105】

この結果、簡易な回路構成で、ポリゴンミラーを書き系に使用する画像形成装置とそのクロック発生回路において、走査光量ムラによる画質への影響を低減することが可能になる。

【0106】

また、これらの発明では、アナログ回路を用いないディジタル回路による簡易な回路構成で、ポリゴンミラーを書き込み系に使用する画像形成装置とそのクロック発生回路において、各種の走査光量ムラによる画質への影響を低減することが可能になる。

【図面の簡単な説明】

【図1】

本発明の一実施の形態例の画像形成装置の主要部の電気的構成を示す構成図である。

【図2】

本発明の一実施の形態例の画像形成装置を適用する画像形成装置の機械的構成を示す構成図である。

【図3】

本発明の一実施の形態例の画像形成装置におけるずれ検出の動作状態を説明するタイムチャートである。

【図4】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図5】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図6】

本発明の一実施の形態例の画像形成装置の動作状態を説明するタイムチャートである。

【図7】

本発明の一実施の形態例の画像形成装置における走査光量ムラの発生と補正の様子を示す特性図である。

【図8】

画像形成装置の書き込み部の機械構成を示す斜視図である。

【図9】

画像形成装置の書き込み部の機械構成と走査光量ムラの発生の様子を模式的に示す説明図である。

【図10】

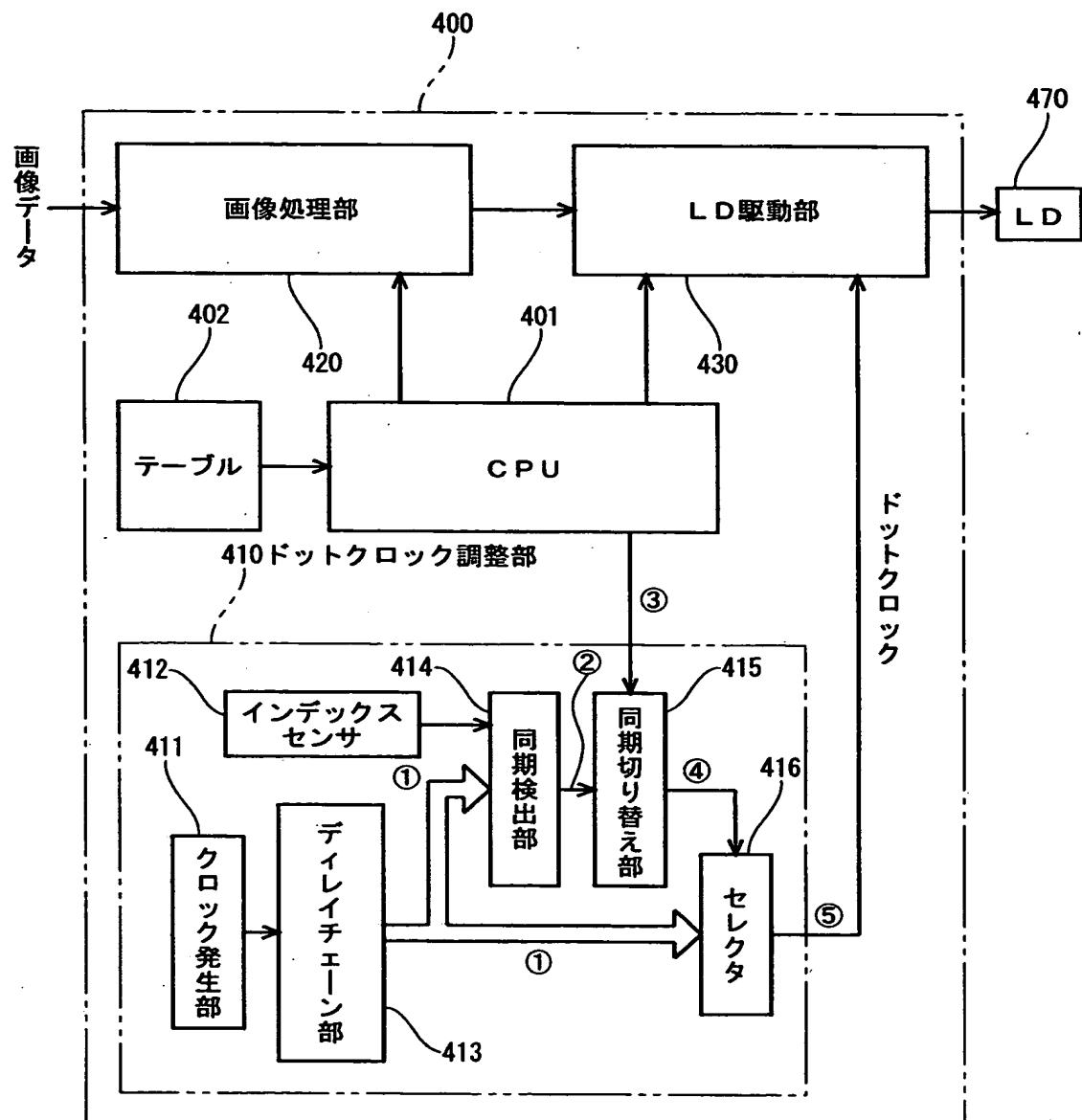
光学系手段の透過率もしくは反射率の違いによる走査光量ムラ（シェーディング）の様子を示す特性図である。

【符号の説明】

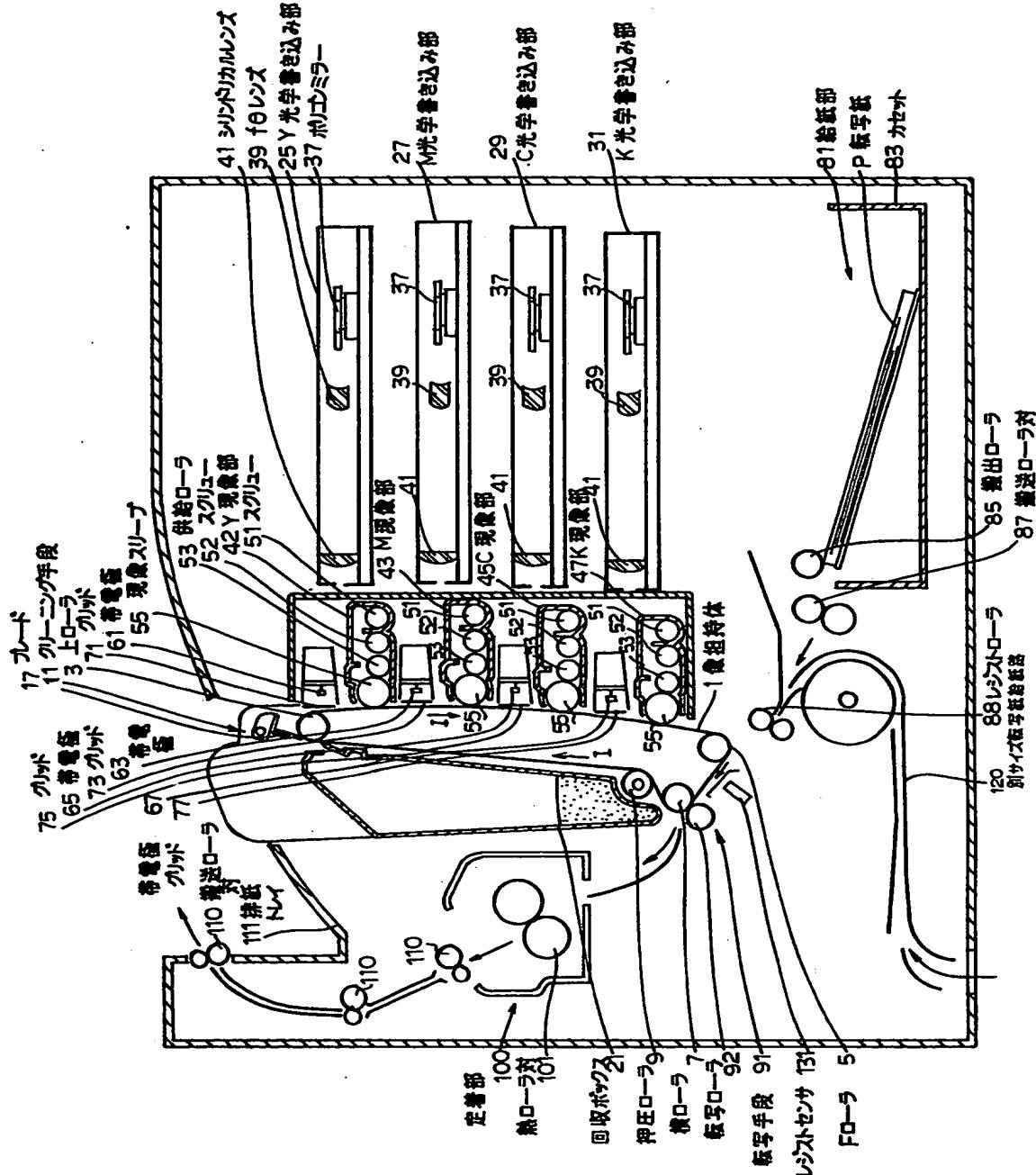
- 400 回路部
- 401 CPU
- 402 テーブル
- 410 ドットクロック調整部
- 411 基準クロック発生部
- 412 インデックスセンサ
- 413 ディレイチェーン部
- 414 同期検出部
- 415 同期切り替え部
- 416 セレクタ
- 420 画像処理部
- 430 LD駆動部
- 470 レーザダイオード

【書類名】 図面

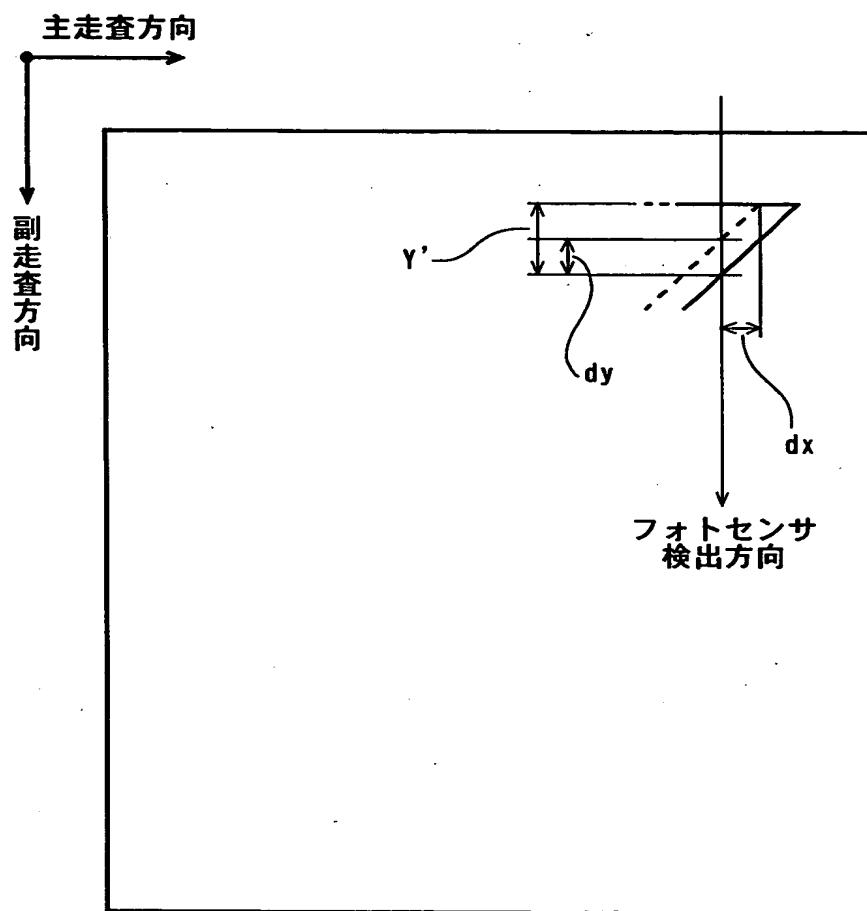
【図1】



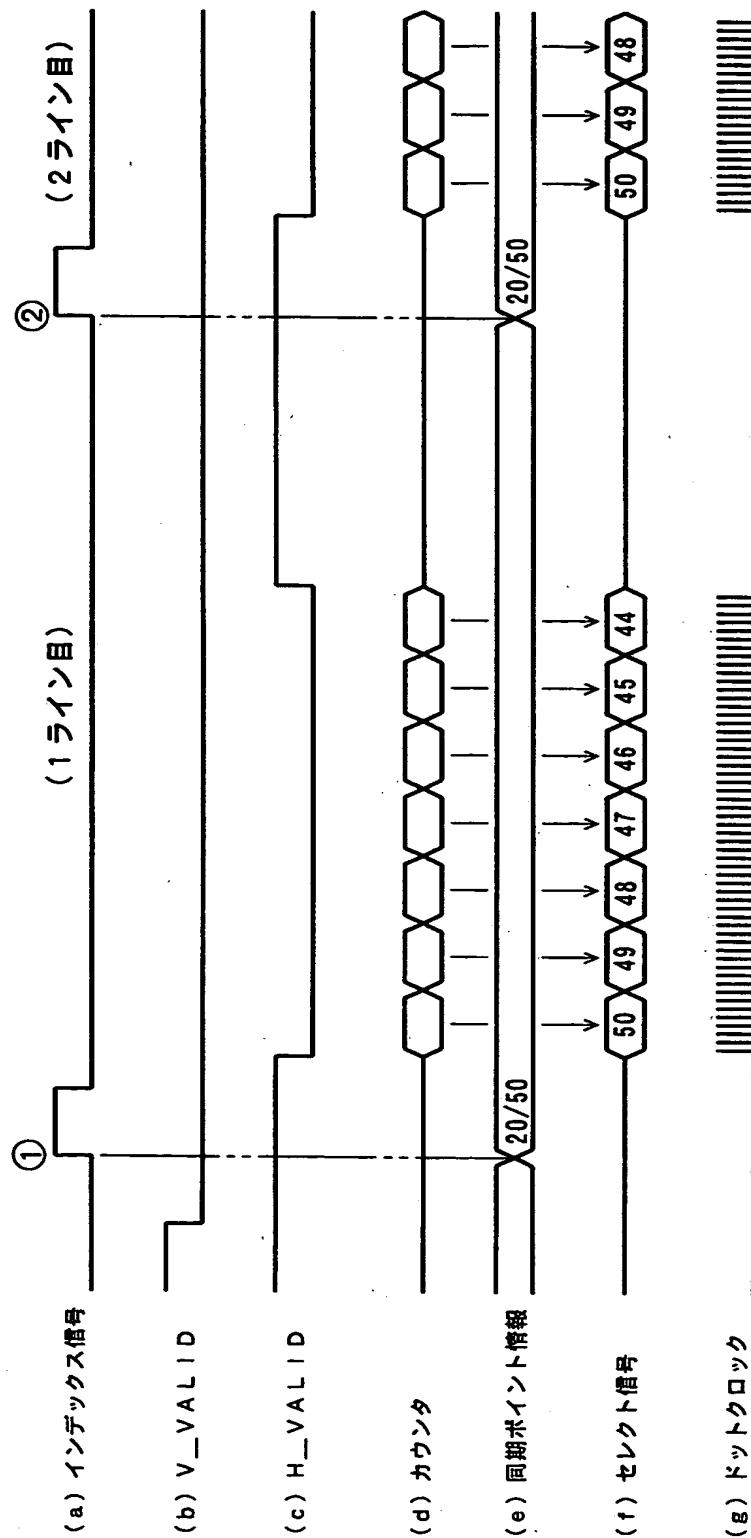
【図2】



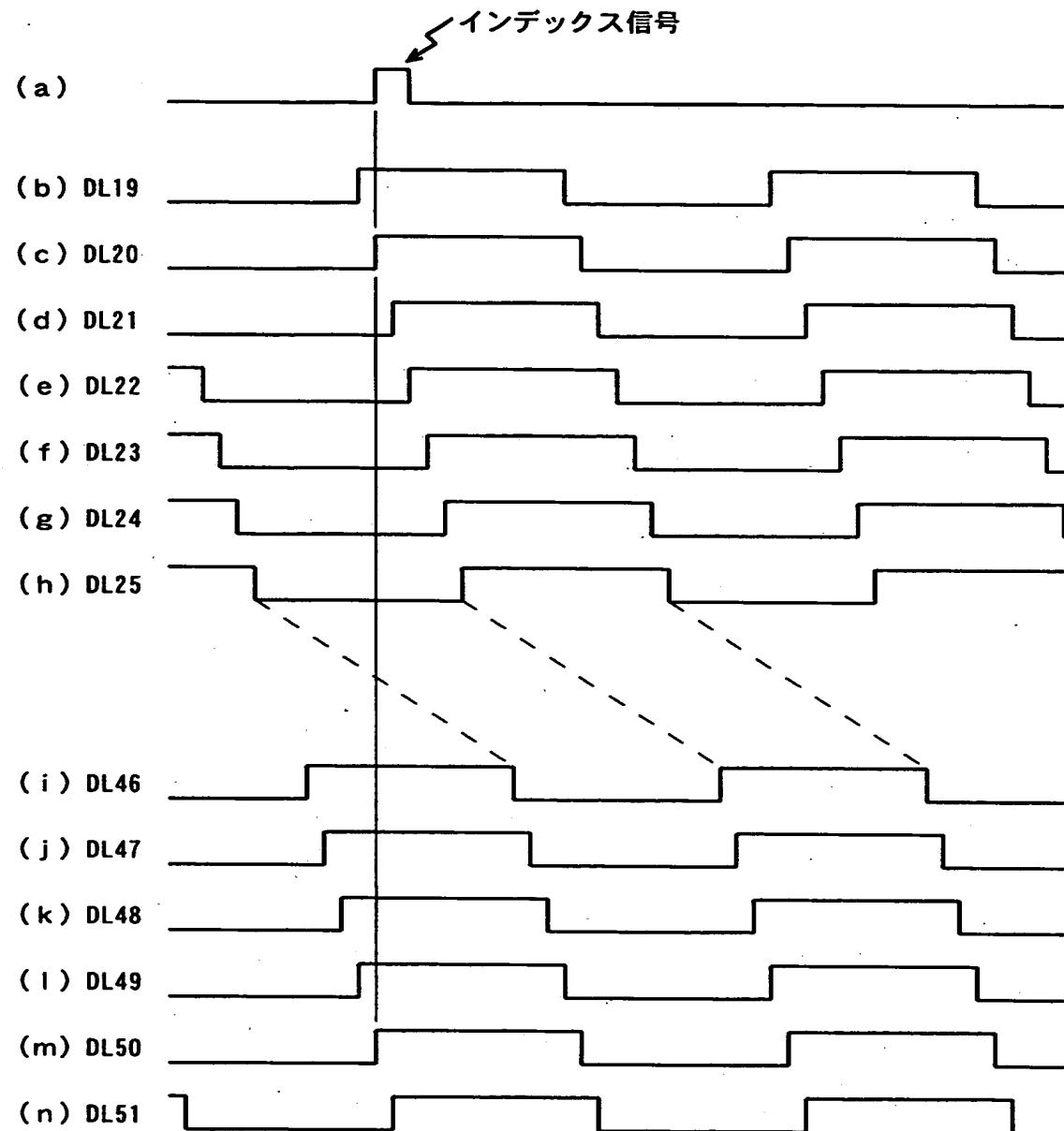
【図3】



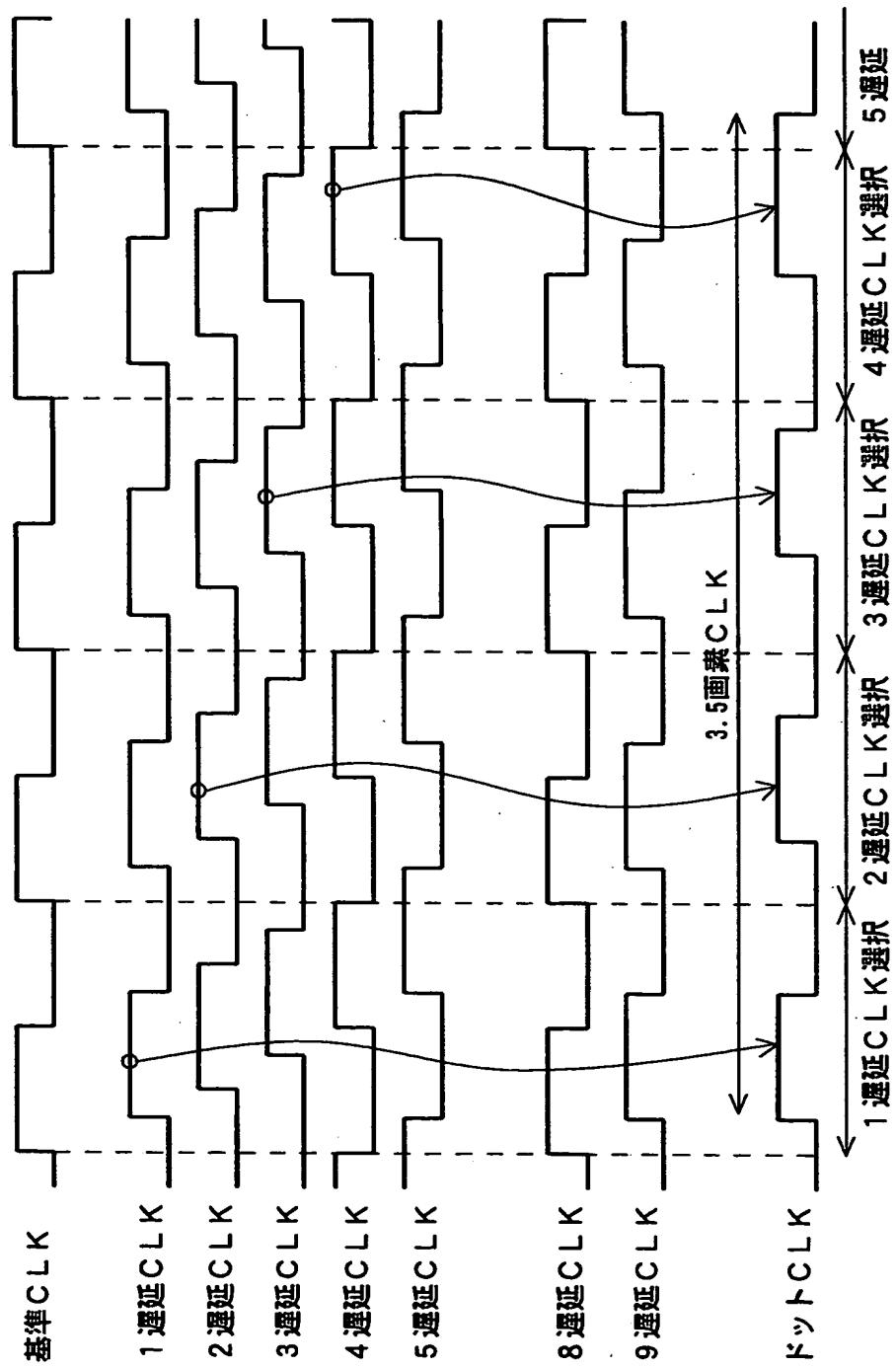
【図4】



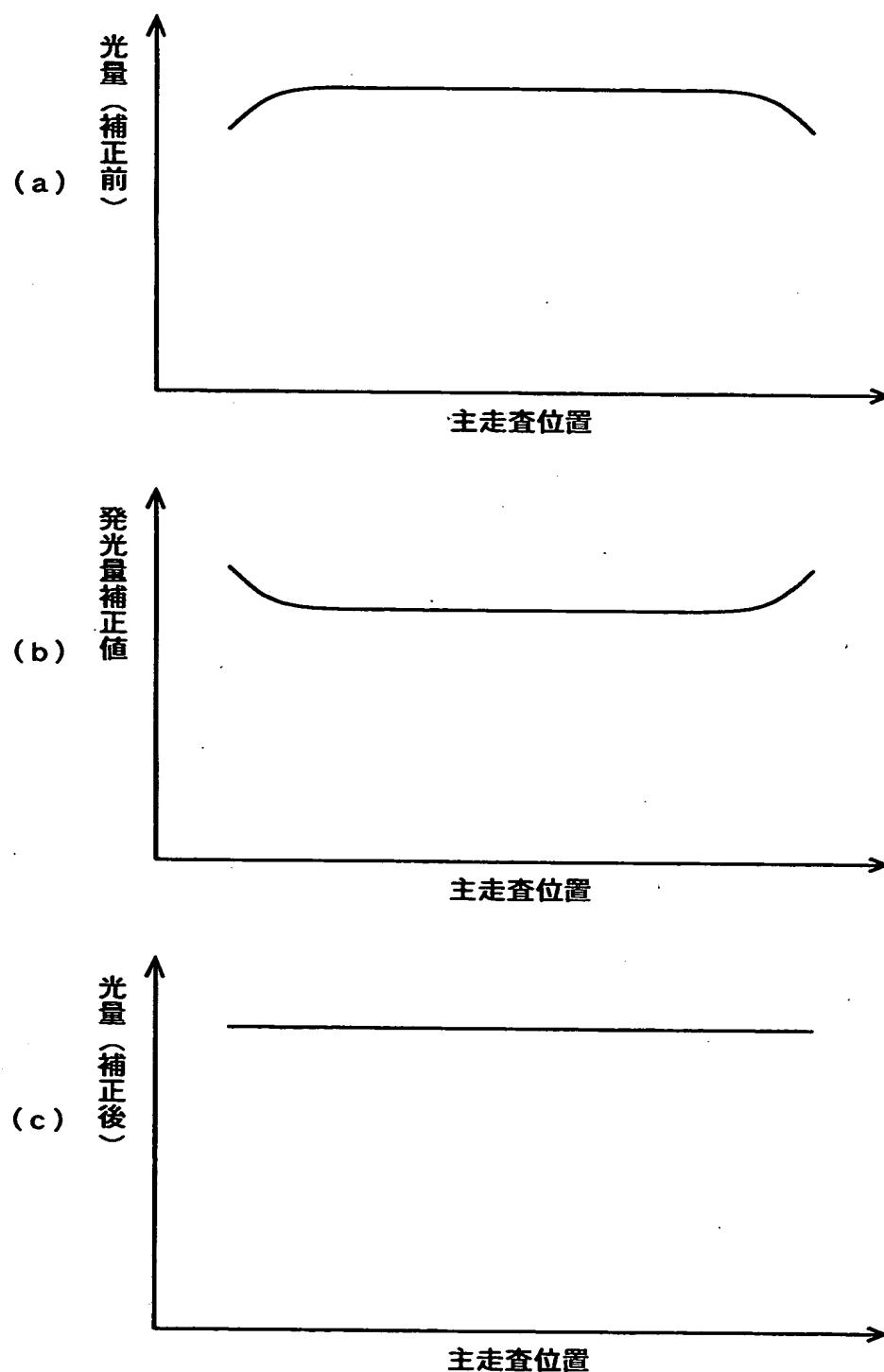
【図5】



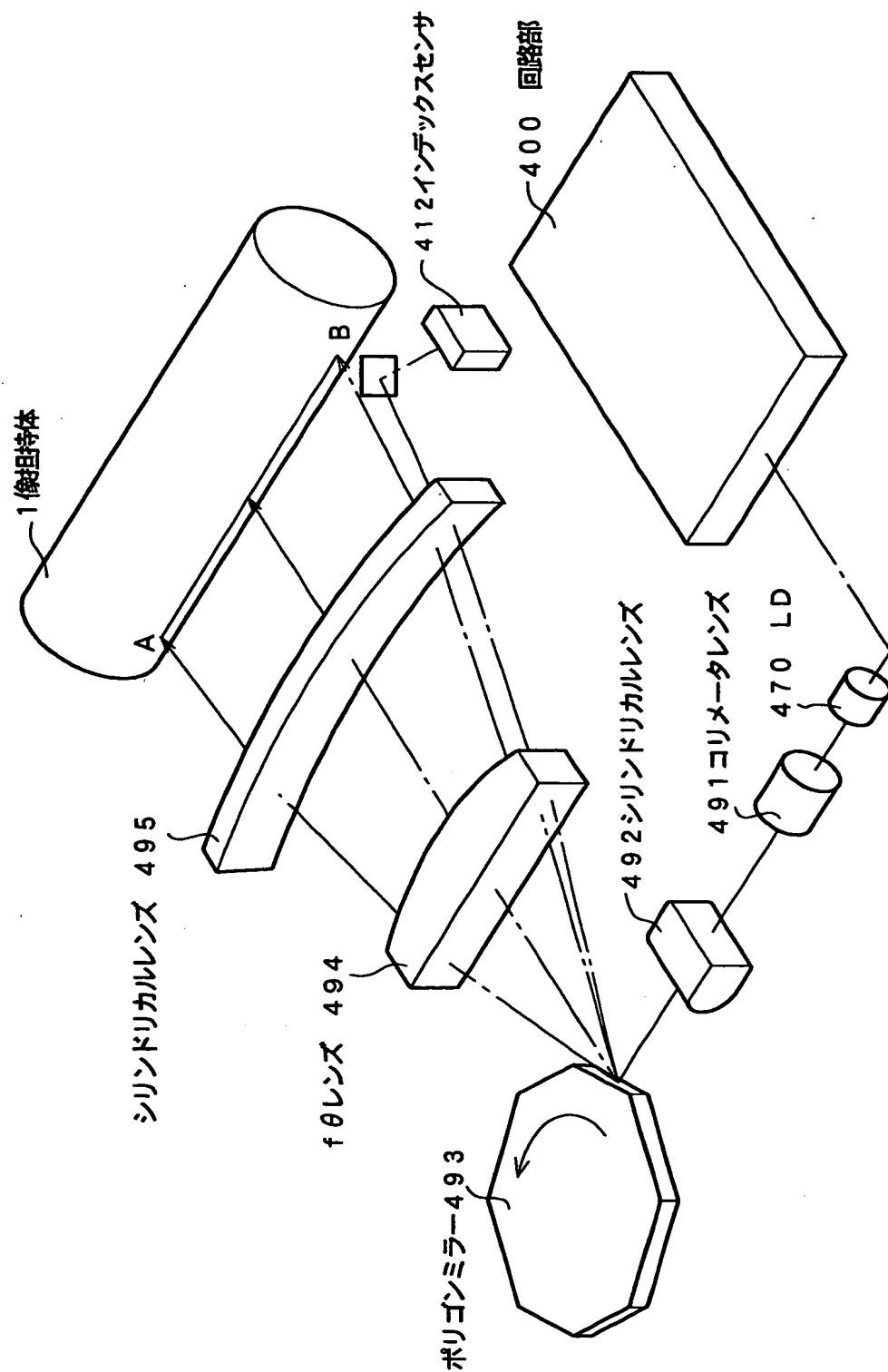
【図6】



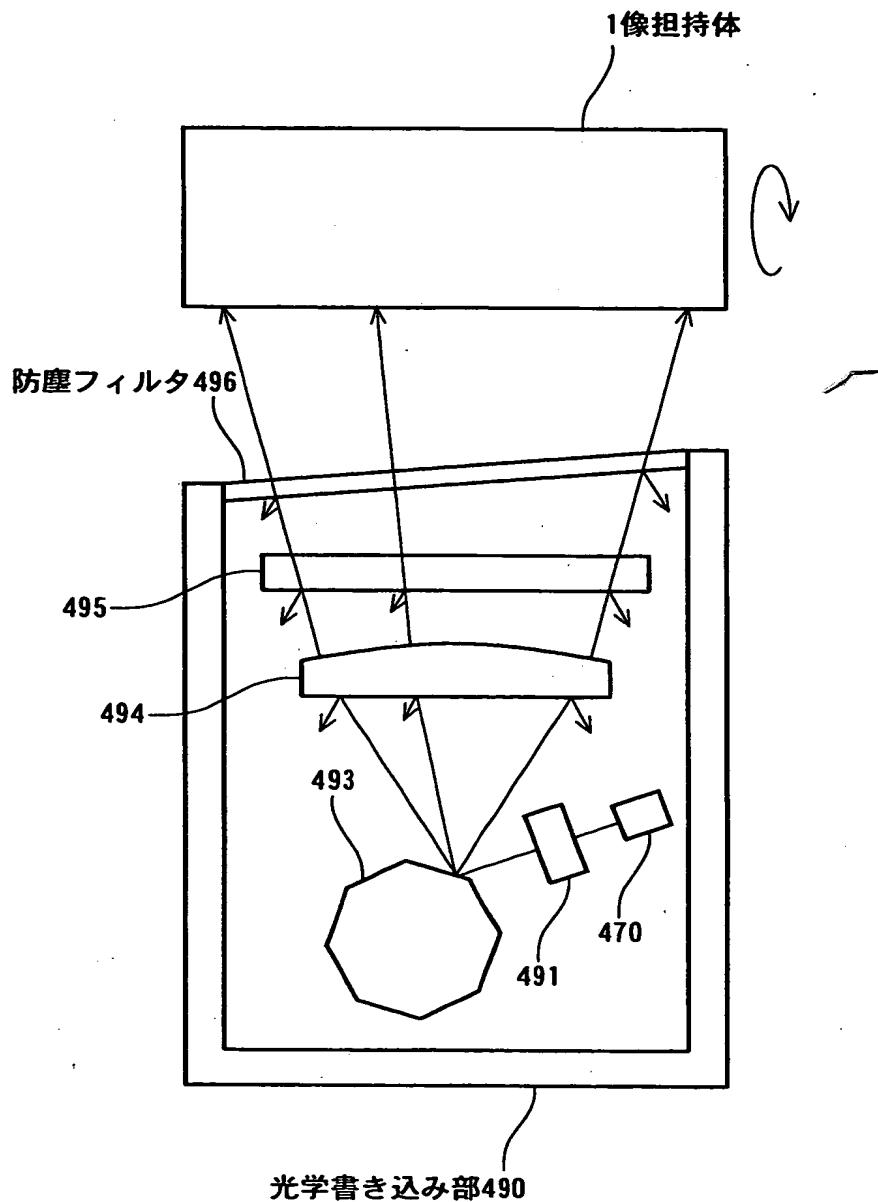
【図7】



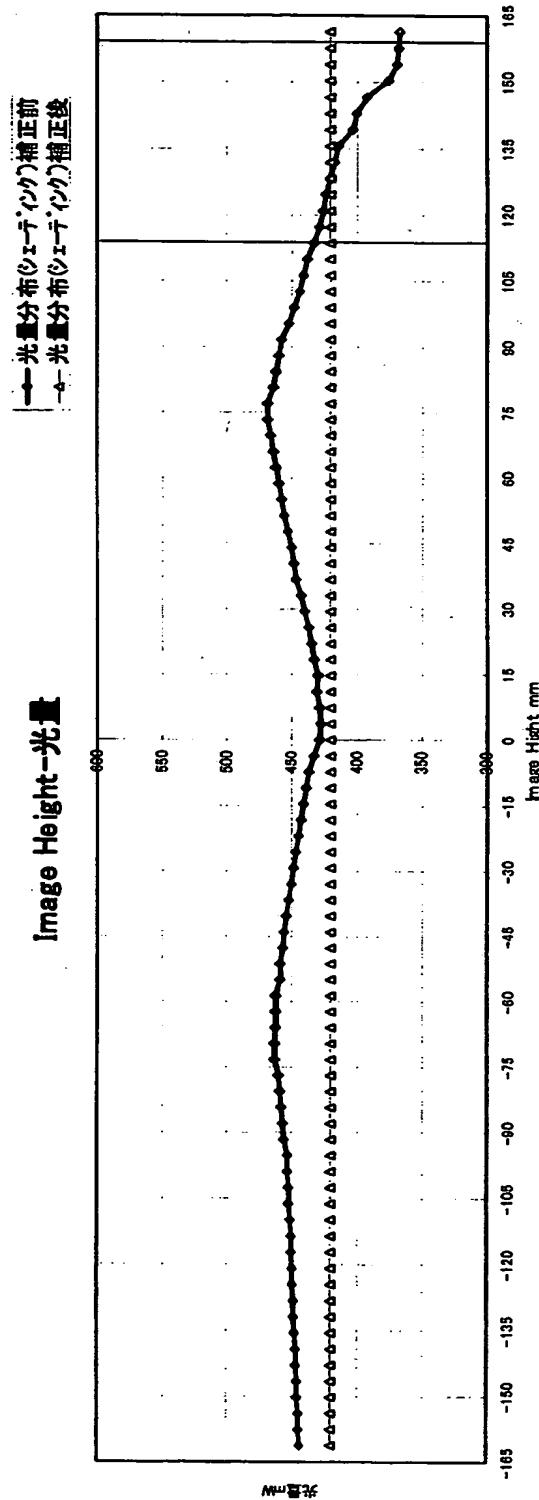
【図8】



【図9】



【図10】



【書類名】 要約書

【要約】

【課題】 ポリゴンミラーを書き込み系に使用する画像形成装置とそのクロック発生回路において、走査光量ムラによる画質への影響を低減する。

【解決手段】 基準となる発振器からのクロックを細かく遅延させて複数の遅延クロックを生成しするディレイチェーン部413と、インデックス信号に同期した状態の複数の遅延クロック（同期遅延クロック）を前記ディレイチェーン部から選び出し、この遅延の段数を同期情報として出力する同期検出部414と、光学系手段で生じる走査光量ムラに関する走査光量ムラ情報を保持するテーブル402と、前記同期遅延クロックと前記同期情報および前記走査光量ムラ情報から、前記複数の遅延クロックの中からどの位相の遅延クロックを選択すべきかのセレクト信号を生成する同期切り替え部415と、前記セレクト信号に応じた遅延クロックを選択する信号選択部416と、を備える。

【選択図】 図1

出願人履歴情報

識別番号 [000001270]

1. 変更年月日 1990年 8月14日

[変更理由] 新規登録

住 所 東京都新宿区西新宿1丁目26番2号

氏 名 コニカ株式会社